

# インテル・プラットフォームの 性能を引き出すノウハウ

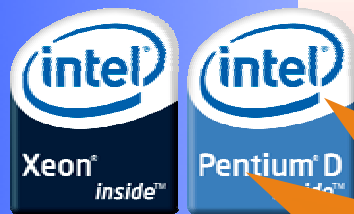
## IA製品の最新事情と ソフトウェア開発支援ツールのご紹介

インテル株式会社  
ソフトウェア&ソリューションズ統括部  
シニア・アプリケーションエンジニア  
清水 良直

# インテル® Core™ マイクロアーキテクチャー

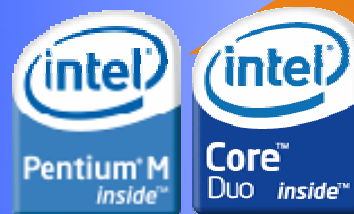
2005年

2006年 第2四半期



+  
イノベーション

インテル® Core™  
マイクロアーキテクチャー



モバイル・マイクロアーキテクチャー

ワイド・ダイナミック・  
エグゼキューション

アドバンスド・デジタル・  
メディア・ブースト

スマート・メモリー・  
アクセス

アドバンスド・スマート・  
キャッシュ

インテリジェント・  
パワー機能

# サーバー向けインテル デュアル/クアッドコア プロセッサのロードマップ

発表済

2006

2007

将来

インテル® Itanium® 2 9000系



インテル® Itanium® 2 プラットフォーム

インテル® Itanium® 2 プロセッサ-9M

デュアルコア Itanium® 2 プロセッサ- 9000系

Montvale\*\*

インテル® E8870およびサードパーティー製チップセット

Richford\*プラットフォーム

Tukwila\*\*

Poulson\*\*

将来チップセット

インテル® Xeon® MP 7000系



インテル® Xeon® MP プラットフォーム

\*デュアルコア インテル® Xeon® プロセッサ- 7000系

\*デュアルコア インテル® Xeon® プロセッサ- 7100系

E8500/8501 およびサードパーティー製チップセット

Caneland\*プラットフォーム

Tigerton\*\*

Dunnington\*\*

Clarksboro\* / サードパーティー製チップセット

インテル® Xeon® DP 5000系



インテル® Xeon® DP プラットフォーム

インテル Xeon プロセッサ

E7520

クアッドコア インテル Xeon プロセッサ- 5300系

デュアルコア インテル Xeon プロセッサ- 5100系

\*デュアルコア インテル Xeon プロセッサ-5000系

インテル 5000 P/V チップセット

将来プロセッサ

将来プロセッサ

インテル® Xeon® UP 3000系



インテル® Xeon® UP プラットフォーム

\*インテル® Pentium® D プロセッサ

E7230

クアッドコア インテル Xeon プロセッサ- 3200系

デュアルコア インテル Xeon プロセッサ- 3000系

インテル® 3000/3010チップセット

将来のUPプラットフォーム

将来プロセッサ

将来プロセッサ

将来チップセット

\* = Intel NetBurst® Microarchitecture

\*\* = 開発コード名

4+ Cores



# インテル® Core™ マイクロアーキテクチャーとは

- パフォーマンスと性能電力比を両立させる
  - 既存および最新のアプリケーションと使用方法
  - パフォーマンスと性能電力比の向上
  - インテル® マルチコア・プラットフォーム向けに最適化
- さまざまなセグメントや消費電力の条件向けに最適化されたプロセッサのための基盤を提供する
  - モバイル、デスクトップ、サーバーの各セグメント向けに最適化

パフォーマンスと性能電力比の  
優位性を推進



# インテル® Core™ マイクロアーキテクチャの特徴

ワイド・ダイナミック・エグゼキューション

アドバンスト・デジタル・メディア・  
ブースト

スマート・メモリー・アクセス

アドバンスト・スマート・キャッシュ

インテリジェント・パワー機能



# マクロフュージョンがない場合

## 命令キュー

inc ecx

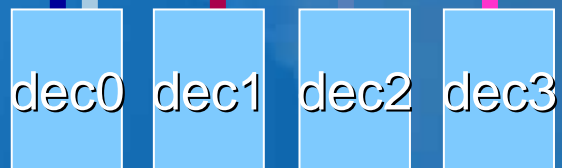
store [mem3], ebx

jne targ

cmp eax, [mem2]

load eax, [mem1]

命令キューから 4 つの命令を読み取る  
各命令が別々の  $\mu$ OP にデコードされる



サイクル 1

サイクル 2

inc ecx

store [mem3], ebx

jne targ

cmp eax, [mem2]

load eax, [mem1]





# マクロフュージョンを使用した場合

## 命令キュー

inc ecx

store [mem3], ebx

jne targ

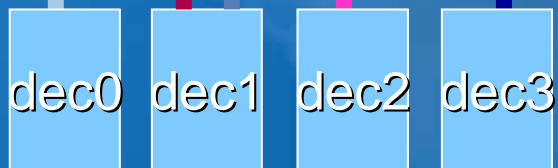
cmp eax, [mem2]

load eax, [mem1]

命令キューから 5 つの命令を読み取る

結合可能な命令ペアを 1 つのデコーダーに送り込む

1 つの  $\mu$ OP で 2 つの命令を結合



サイクル 1

inc ecx

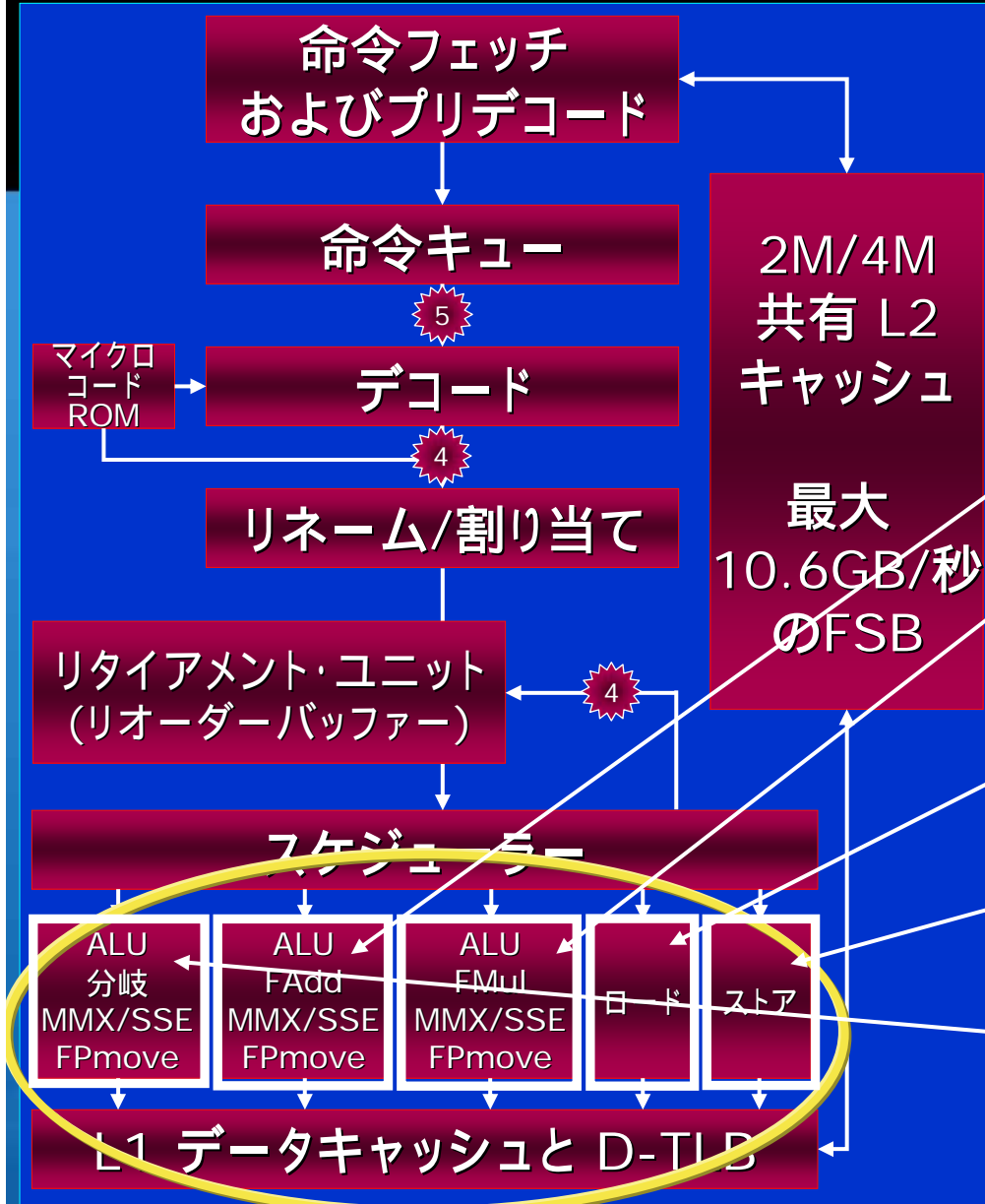
store [mem3], ebx

cmpjne eax, [mem2], targ

load eax, [mem1]



# アドバンスド・デジタル・メディア・ブースト



128ビット・パワード Add  
 +  
 128ビット・パワード Multiply  
 +  
 128ビット・パワード Load  
 +  
 128ビット・パワード Store  
 +  
 ( CMPJCC )

**1 クロック当たり 2 倍の演算スループット**





# プリフェッチャーとマルチコア

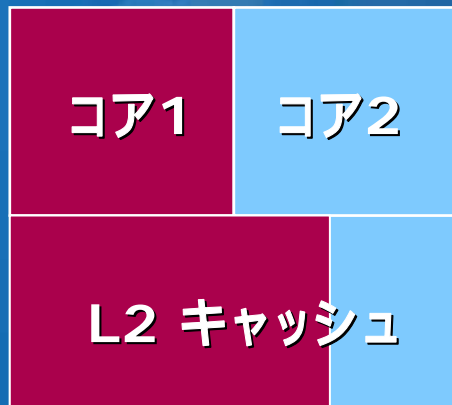


動的に共有される 2 つの L2 プリフェッチャー



# アドバンスド・スマート・キャッシュ ダイナミック・キャッシュ・アロケーション

## アドバンスド・ スマート・キャッシュ



## 独立キャッシュ



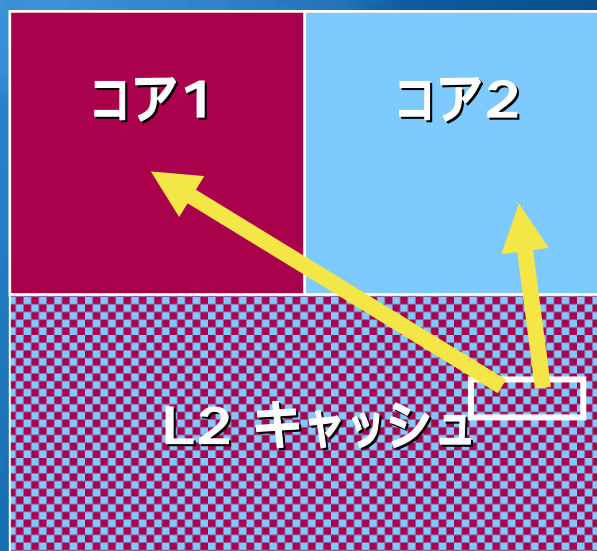
共有キャッシュは2つのコアからの不均衡な負荷に適応。しかし独立キャッシュは、一方のキャッシュの使用率が低く、キャッシュが空いていても、もう一方の高負荷のアプリケーションはその空きキャッシュを利用できずパフォーマンス向上が見込めない。



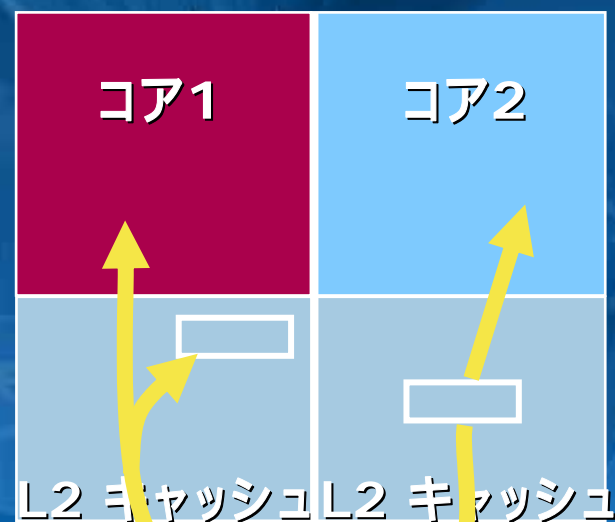
# アドバンスド・スマート・キャッシュ

## 効率的なデータ共有

アドバンスド・  
スマート・キャッシュ



独立キャッシュ



FSB

チップセット MCH

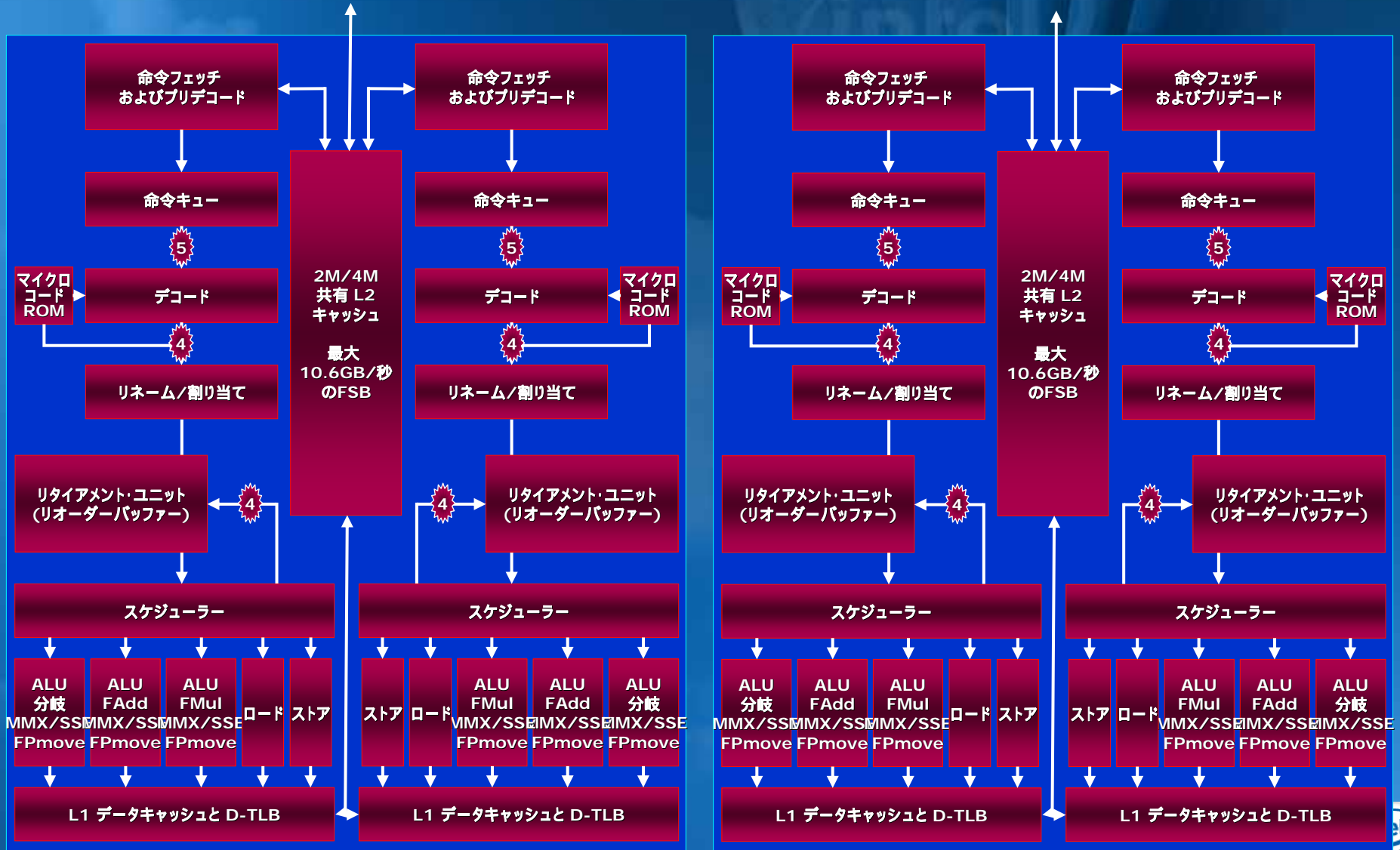
FSB

チップセット MCH

L2 から L1 への 2 倍の帯域幅



# クアッド・コア



# マイクロ アーキテクチャーの比較

	Intel NetBurst™ ++	Intel® Core™ Micro architecture **
Pipeline Stages	31	14
Threads per core	2	1
L1 Cache Org.	(12K uop Trace Cache/16K Data)	(32K I/32K Data)
L2 Cache Org.	2 x 2MB	1 x 4MB (shared)
Instr. Decoders	1	4
Integer Units	2 (2x core freq)	3 (1x core freq)
SIMD Units	2 x 64-bits	3 x 128-bits
SIMD Inst. Issued per Clock	1	3
FP Units	3 (Add/Mul/Div)	3 (Add/Mul/Div)
FP Inst. Issued per clock	1	Up to 2 (Add + Mul or Div)
Power/Socket	135W	80W

++ Cedar Mill/Dempsey

\*\* Intel® Core™ Micro Architectuer = per core



# インテル® Core™ マイクロアーキテクチャーのまとめ

命令フェッチ  
およびプリデコード

33% 広いパイプ (3 本に対して  
4 本) と効率の向上

ワイド・ダイナミック・エグゼキューション

1 クロック当たり 2 倍の  
演算スループット

アドバンスド・デジタル・メディア・  
ブースト

レイテンシーを低減 –  
必要な場所と時間にデータを提供

スマート・メモリー・アクセス

マルチコアに最適化された  
2 倍の帯域幅の共有キャッシュ

アドバンスド・スマート・キャッシュ

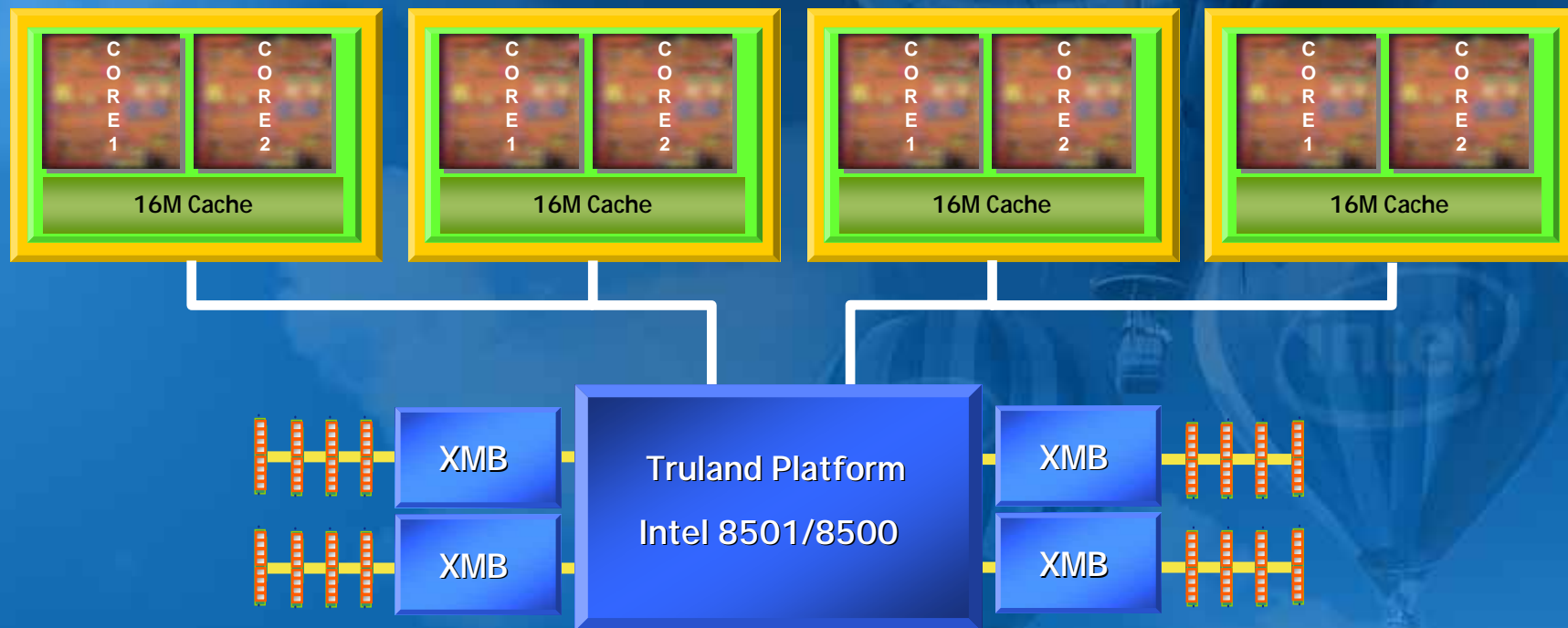
エネルギー効率に優れた  
パフォーマンスの向上

インテリジェント・パワー機能





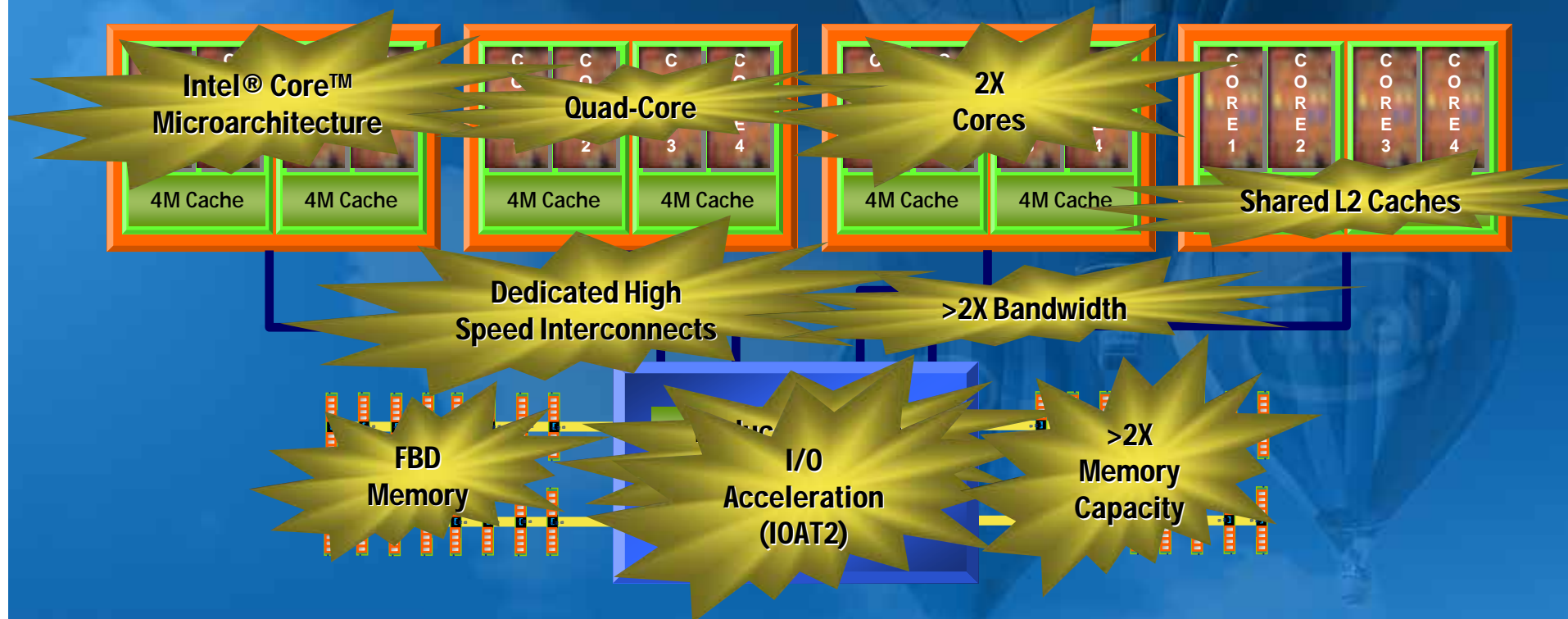
# 現在出荷中の MP Server Dual-Core Intel® Xeon® 7100 processor



**性能を犠牲にしないプラットフォーム拡張性と電力効率の実現**



# 2007年 出荷予定の MP Server Quad-Core Tigerton processor on Caneland

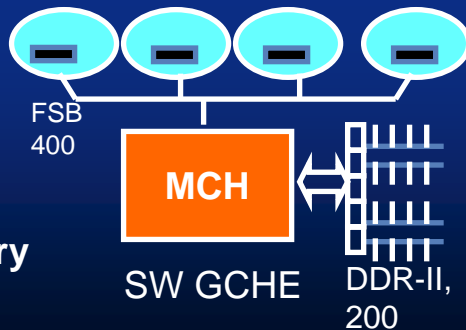


性能を犠牲にしないプラットフォーム拡張性と電力効率の実現

# Intel® Xeon® MP プラットフォーム

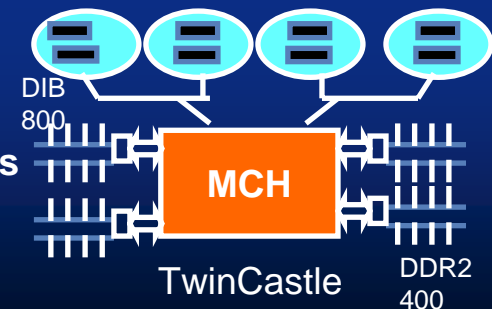
## 2003 - 2004

- Single-Core
- MP front-side bus
- Large CPU cache
- Centralized Memory

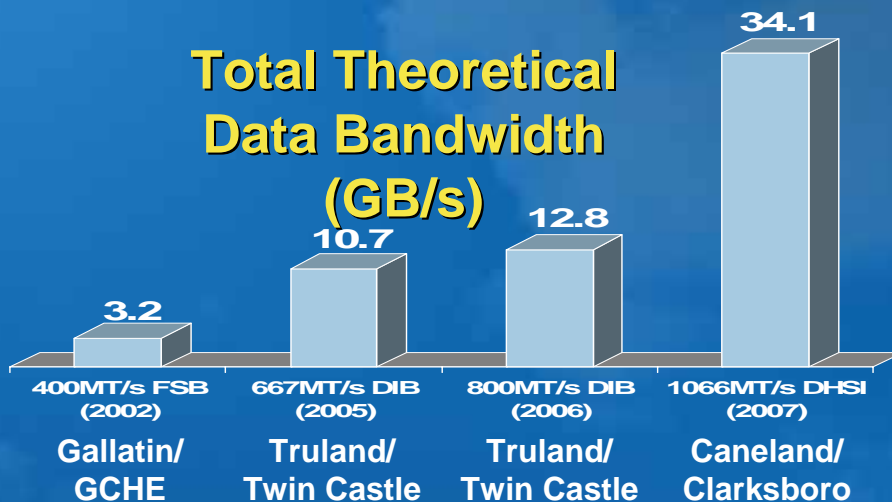


## 2005 - 2006

- Dual-Core
- Dual-independent bus
- Cache per core
- Memory capacity

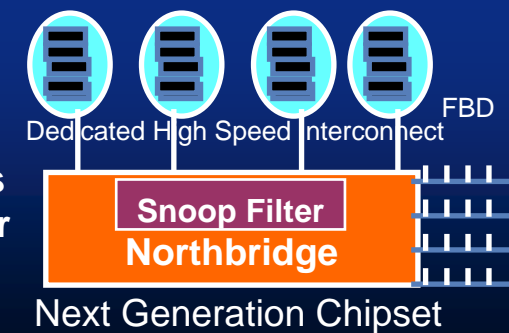


## Total Theoretical Data Bandwidth (GB/s)



## 2007 - 2008

- Quad-Core
- Dedicated buses
- Shared CPU Caches
- Chipset Snoop Filter
- Next Gen Memory

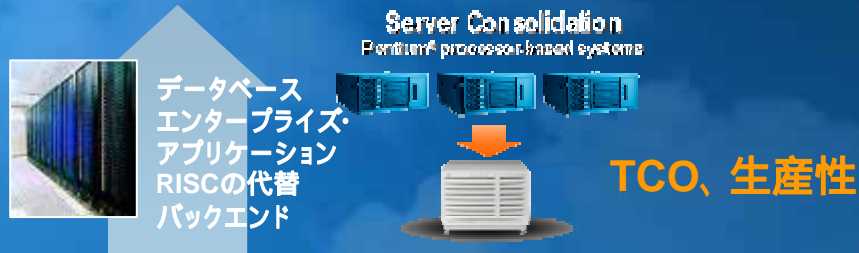


マルチコアに最適化されたプラットフォーム

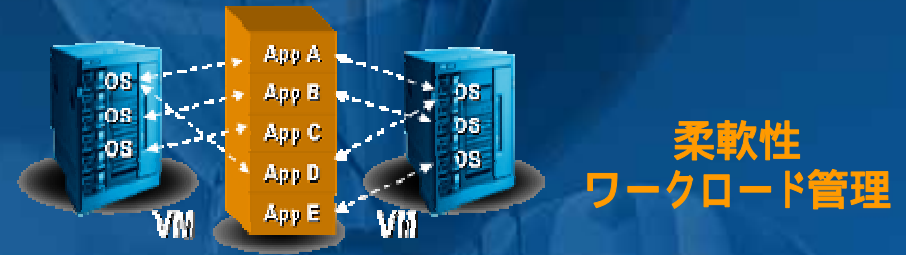


# マルチコア化の価値

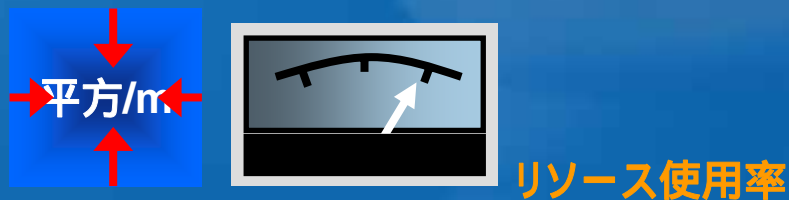
スループットの向上による  
ヘッドルームの確保



仮想化に理想的



データセンター内の  
処理密度を増加



新しいサービスと機能を実現



性能だけでなく、柔軟なプラットフォームの統合/集約もサポート



# 仮想化により最適なクアッドコア

## クアッドコアのメリット:

より高い性能が実現する  
より迅速な応答性

利用効率の軽減による  
ヘッドルームの向上が実現する  
より多くの仮想マシンの収容

vConsolidate ワークロードは、混合ワークロード環境における仮想化性能を計測。

- サーバー・サイド Java
- MySQL\* データベース
- 商用電子メール
- Apache\* ウェブ・サーバー

vConsolidate ワークロード

Xen リリース 3.0.3\*、Red Hat Linux 4 update 4\*

## 相対システム性能

数値が高いほど高性能

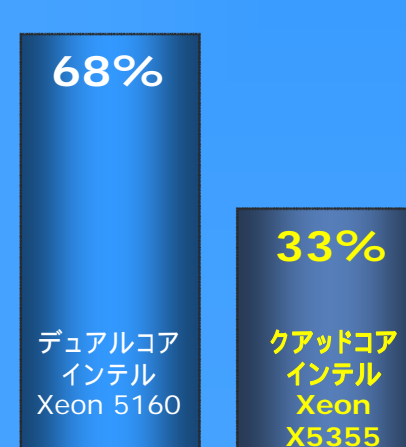
より迅速な応答性



## システム利用効率

数値が低いほど高性能

ヘッドルームの向上



データの出典: インテル社内における計測(2006年11月現在)

## クアッドコア: より高い性能とさらに余裕のある性能のヘッドルーム

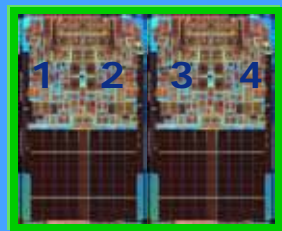
インテル社内の仮想化ワークロードを使用した、デュアルコア インテル® Xeon® 5160、クアッドコア インテル® Xeon® 5300番台、デュアルコア AMD Opteron® 2218との性能比較。実際の性能は、システムの構成により異なります。インテル® パーチャライゼーション・テクノロジーを利用するには、同テクノロジーに対応したプロセッサ、チップセット、BIOS、バーチャル・マシン・モニター (VMM)、および同テクノロジーが有効になっているアプリケーションを搭載したコンピューター・システムが必要です。機能性、性能もしくはその他のパーチャライゼーション・テクノロジーの特長は、ご使用のハードウェアやソフトウェアの構成によって異なります。インテル® パーチャライゼーション・テクノロジーに対応したBIOS、バーチャル・マシン・モニター (VMM) アプリケーションは、現在開発中です。





# バランスの取れたプラットフォーム・アプローチ

## プロセッサのヘッドルーム



クアッドコア  
2倍のコア数、スレッド数  
8MB オンダイ・キャッシュ

業界最高水準の2-wayサーバー性能

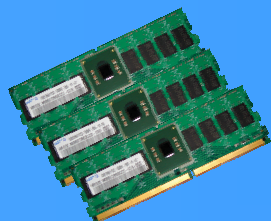
## ハードウェア・アシスト

インテル®  
バーチャライゼーション  
テクノロジー

業界初  
修正なしのゲストOS  
32ビット/64ビット対応  
特権VMMアクセス

仮想化サポートの実装

## メモリーのヘッドルーム



最大容量 64GB 以上  
最大帯域幅 21GB/s  
信頼性の向上

先進のFB-DIMMメモリー

## I/O ヘッドルーム

インテル®  
QuickData  
テクノロジー

GbE 最大8ポート  
I/O スループット: 2倍以上<sup>1</sup>  
CPU負荷: 40%減<sup>2</sup>

より高速なデータ移動

<sup>1</sup> 6ポート Linux構成と前世代64ビット インテル® Xeon® プロセッサ搭載サーバーとの比較

<sup>2</sup> インテル QuickData テクノロジー非対応の前世代のインテル® Xeon® プロセッサ搭載サーバーとの比較





# 将来のプラットフォームへのビジョン

## 信頼性と安全性



# ソフトウェア開発者支援...

- インテル® ソフトウェア・ネットワーク
- インテル® ソフトウェア開発製品
- インテル® ソフトウェア開発製品トレーニング
- インテル・ソリューション・センター
- 業界イニシアチブの支援

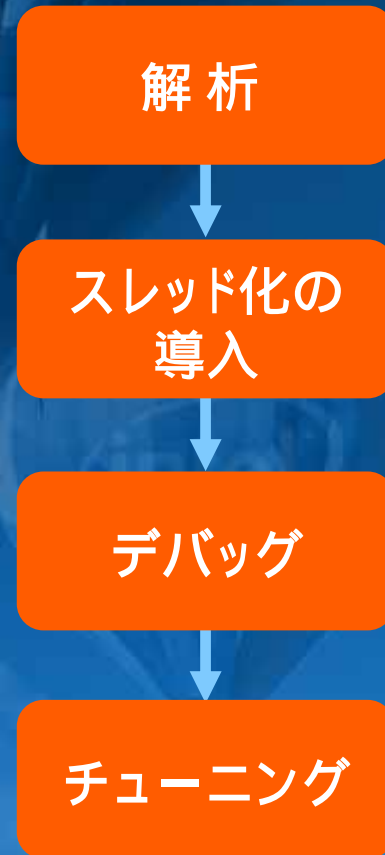


[www.intel.co.jp/jp/software](http://www.intel.co.jp/jp/software)



# アプリケーションのスレッド化により マルチコアによる性能を引き出す

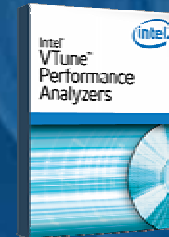
- ソフトウェアのスレッド化はアプリケーション・レベルで行われなければならない
  - 現状の処理を並列化できるように分割する
  - プロセッサの数に比例して性能を向上させる
- 高度なマルチスレッド・アプリケーションの開発には、分析、導入、デバッグ、チューニングの各局面でツールの活用が不可欠



# マルチスレッド・アプリケーションの開発に 包括的で業界をリードするソリューション

システム上で実行されている  
アプリケーションの状態を  
視覚化

解析



高度に最適化されたコンパイラ  
でスケーラブルなソリューション  
を実現

導入



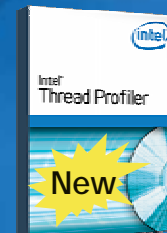
マルチスレッド特有の  
問題点を検出

デバッグ



パフォーマンスと  
スケーラビリティに基づいて  
チューニング

チューニング



# インテル® ソフトウェア開発製品で実現する並列化

- インテル® コンパイラー
  - インテル® プロセッサ上でアプリケーション性能向上を実現し、開発生産性を向上
- インテル® VTune™ パフォーマンス・アナライザー
  - パフォーマンス上のボトルネックをいち早く発見
- インテル® パフォーマンス・ライブラリー
  - 高度に最適化、スレッド化されたマルチメディア用および科学技術演算用のライブラリー
- インテル® スレッド化ツール
  - スレディングのエラーを発見し、スレッド化アプリケーションを最適化して性能を最大化
- インテル® スレディング・ビルディング・ブロック
  - マルチスレッド・アプリケーション開発でパフォーマンス向上とスケーラビリティを簡素化する C++ テンプレート・ベースのランタイム・ライブラリー
- インテル® クラスターツール
  - クラスタベースのアプリケーションの作成、分析、最適化、そして実装を支援





# インテル®ソリューション・センターの概要

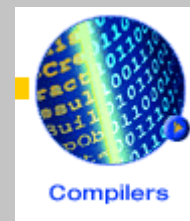
常に最新のプラットフォームを準備  
(評価システムを含む)



インテル®ソフトウェア・ツール  
評価版の利用



Performance Libraries



Compilers



VTune™ Analyzers



Cluster Tools



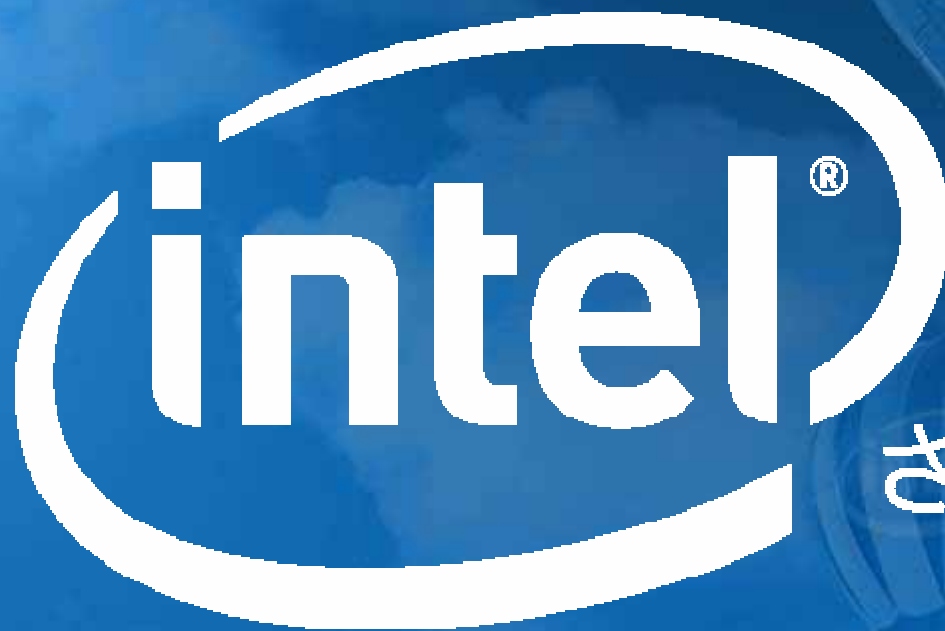
Threading Tools

経験豊富なエンジニア  
による支援と協業各社と  
の連携の強化

センターの利用にはインテルとの秘密保持契約の締結が必要になります。







さあ、その先へ。™

# 著作権/法律に基づく表示

- 本資料には、設計段階にある製品の情報が含まれています。本資料で提供される情報は、予告なしに変更されることがあります。本資料をもとに設計を行わないでください。製品を注文する前に、販売代理店まで最新の仕様をお問い合わせください。
- 本資料に掲載されている情報は、インテル製品の概要説明を目的としたものです。製品に付属の売買契約書『Intel's Terms and conditions of Sales』に規定されている場合を除き、インテルはいかなる責を負うものではなく、またインテル製品の販売や使用に関する明示または黙示の保証 (特定目的への適合性、商品性に関する保証、第三者の特許権、著作権、その他、知的所有権を侵害していないことへの保証を含む) に関しても一切責任を負わないものとします。インテル製品は、医療、救命、延命措置などの目的への使用を前提としたものではありません。
- インテル製品は、予告なく仕様変更される場合があります。本資料に記載されているすべての製品、日付、および数値は、現在の予想に基づくものであり、計画以外の目的ではご利用になれません。
- 機能や命令の中に「予約済み」または「未定義」と記されているものがありますが、その機能が存在しない状態や何らかの特性を設計の前提にはなりません。これらの項目は、インテルが将来のために予約しているものです。インテルが将来これらの項目を定義したことにより、衝突が生じたり互換性が失われたりしても、インテルは一切責任を負わないものとします。
- 本資料に掲載されているインテル製品は、エラッタと呼ばれる設計上の不具合が含まれている可能性があり、公開されている仕様とは異なる動作をする場合があります。現在までに判明しているエラッタの情報については、インテルまでお問い合わせください。
- 本資料に記載されている開発コード名は、一般向けに発表または出荷されていない製品、テクノロジー、およびサービスを識別するためにインテルによって使用されているものです。これらの名称は製品またはサービスの「商用」名ではなく、商標として機能するように意図されたものではありません。
- 本資料で参照されている資料で資料番号があるもの、およびその他のインテルの印刷物は、インテルの Web サイト (<http://www.intel.com>) から入手できません。
- Intel、インテル、Intel ロゴ、Intel.さあ、その先へ。、Intel.さあ、その先へ。ロゴ、Intel Core、Intel NetBurst、Intel XScale、Itanium、Itanium Inside、Xeon、Xeon Inside は、アメリカ合衆国およびその他の国における Intel Corporation またはその子会社の商標または登録商標です。 © 2006 Intel Corporation. 無断での引用、転載を禁じます。
- \*その他の社名、製品名などは、一般に各社の商標または登録商標です。

